

Requested Patent: JP62260249A

Title: ERROR RECOVERY PROCESSING METHOD FOR DATA PROCESSOR ;

Abstracted Patent: JP62260249 ;

Publication Date: 1987-11-12 ;

Inventor(s): KANEKO AKIRA ;

Applicant(s): MITSUBISHI ELECTRIC CORP ;

Application Number: JP19860103066 19860507 ;

Priority Number(s): ;

IPC Classification: G06F12/14; G06F11/00; G06F12/10 ;

Equivalents: ;

**ABSTRACT:**

**PURPOSE:**To obtain the correct key information from the nondefective one of an address conversion mechanism TLB and a memory key cache memory CACH in case either the TLB or CACH has an error, by adding TLBAD corresponding to a read address of the TLB to the CACH.

**CONSTITUTION:**When an access address is supplied to a TLBIB via an address input signal line 1a, the TLBIB is supplied to a parity check circuit 2 after the corresponding key data KEY and a key parity KP are read out. In case the circuit 2 has an error, an access is given to a CACH by a REALAD outputted from the TLBIB. Then the output of the TLBIB is delivered via a selector 11 as long as an address exists and the parity check is normal. For an access address supplied to the CACH, the output of the CACH is also outputted after the normal data is read out by a TLB in an error mode. Thus the cross reference is possible with key information between the TLB and the CACH and the applicability is improved.

## ⑫ 公開特許公報(A)

昭62-260249

⑤ Int.Cl.<sup>4</sup>G 06 F 12/14  
11/00  
12/10

識別記号

3 1 0  
3 2 0

庁内整理番号

C-7737-5B  
A-7368-5B  
A-7927-5B  
D-7927-5B

④ 公開 昭和62年(1987)11月12日

審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 データ処理装置のエラーリカバリー処理方法

⑭ 特 願 昭61-103066

⑮ 出 願 昭61(1986)5月7日

⑯ 発 明 者 金 子 昭 鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内

⑰ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑱ 代 理 人 弁理士 曾我 道照 外3名

## 明 細 書

## 1 発明の名称

データ処理装置のエラーリカバリー処理方法

## 2 特許請求の範囲

(1) キー情報がアドレス変換機構と記憶キーキャッシュメモリの双方に格納されているデータ処理装置であつて、

上記記憶キーキャッシュメモリ内に上記アドレス変換機構内の実アドレスに対応する一致アドレスであるTLBADを設け、上記双方にそれぞれ相手側のキー情報をアクセスする手段及び読出し手段を用い上記実アドレス又は一致アドレスにより上記アドレス変換機構又は上記記憶キーキャッシュメモリをアクセス中に読出された上記キー情報に読出しエラーが発生した場合、上記相手側のキー情報を代用し互いの読出しエラーを補償することを特徴とするデータ処理装置のエラーリカバリー処理方法。

## 3 発明の詳細な説明

〔産業上の利用分野〕

この発明は、アドレス変換機構と記憶キーキャッシュメモリの双方にキー情報を格納しておき、一方のアクセス中に読出しエラーが生じた時他方のキー情報を代用できるようにしたデータ処理装置のエラーリカバリー処理方法に関する。

〔従来の技術〕

(a)及び第2図(b)

第2図は、従来のアドレス変換機構(以後TLBと称する)及び記憶キーキャッシュメモリ(以後CACHと称する)におけるキー情報読出しチェック方式を概略的に示したブロック図である。図において、(1/A)はTLB、(1/a)はTLB(1/A)のアドレス入力信号線、(2)はTLB(1/A)のキー情報パリティチェック回路、(3)はTLB(1/A)のキー情報読出しパリティエラーフラグ、(4)はクロック(図示しない)からのパルス信号(2a)及びTLB(1/A)のキー情報のチェックタイミング条件信号(3a)を2入力としてTLB(1/A)のキー情報のパリティチェックタイミングを作るANDゲート、(4a)はCACHのアドレス入力信号線、(5A)はCACH、(6)はCACH(5A)のキー情報パリティチェック回路、

(7)はCACH(5A)のキー情報読出しパリティエラーフラグ、(8)はクロックからのパルス信号(5a)及びCACH(5A)のチェックタイミング条件信号(6a)を2入力としてCACH(5A)のパリティチェックタイミングを作るANDゲートである。

従来のTLB(1A)のキー情報読出しチェック及び、エラー処理方法について説明する。TLB(1A)をアクセスする場合、アクセスアドレスがアドレス入力信号線(1a)によつてTLB(1A)に入力されると、対応したキーデータ(KEY)とキーパリティ(KP)からなるキー情報は、実アドレス(REALAD)等の情報と共にTLB(1A)から読出される。読出されたキーデータ(KEY)とキーパリティはパリティチェック回路(2)でチェックされる。TLB(1A)のチェックタイミング条件信号(3a)とクロックからのパルス信号(2a)はANDゲート(4)によつてANDを取られる。もしパリティチェック回路(2)によるチェックの結果、パリティエラーがあれば、TLB(1A)のキー情報読出しパリティエラーフラグ(3)はセットされる。TLB(1A)のこのキー情報

パリティエラーが常にマシントラップ要因の一つとしてエラー処理制御回路に知らされ、エラー処理としてはTLB(1A)の全てのキー情報とアドレス変換情報を無効にするか、又はキー情報パリティエラーを発生させたTLBアドレスをログ情報として保持することによつてキー情報パリティエラーに対応するTLBアドレスのみを無効にするかのどちらかが行なわれていた。その<sup>時</sup>TLB(1A)をアクセスした命令は中断されていた。

一方、CACH(5A)のキー情報読出しチェック及びエラー処理方法もTLB(1A)の場合と同様であり、CACH(5A)のアクセスアドレスがアドレス入力信号線(4a)によりCACH(5A)に入力されると、対応したキー情報が読出される。読出されたキー情報はパリティチェック回路(6)でチェックされ、チェックタイミング条件信号(6a)とクロックからのパルス信号(5a)はANDゲート(8)でANDが取られ、もしパリティエラーがあればCACH(5A)のキー情報読出しパリティエラーフラグ(7)がセットされる。

CACH(5A)のこのキー情報パリティエラーもTLB(1A)のキー情報パリティエラーと同様に常にマシントラップ要因であり、上述したエラー処理と同様の処理がなされる。

従つて、TLB(1A)又はCACH(5A)のどちらのアクセスの場合もマシントラップエラーが起るとそれらをアクセスした命令が中断されていた。

#### 〔発明が解決しようとする問題点〕

TLB及びCACHを有するデータ処理装置の従来のエラー処理方法は以上のように行なわれているので、TLB及びCACHの双方に格納されているキー情報が有効に生かされず、読出しエラーが各々のキー情報アクセス時に発生した場合、常にマシントラップとなり、障害時のシステムの可用性を向上し得ないという問題点があつた。

この発明は、上記のような問題点を解決するためになされたもので、TLBとCACHの双方に格納されたキー情報を有効に利用し、キー情報エラー発生時におけるシステムの可用性を向上させるエラーリカバリ方法を得ることを目的としている。

#### 〔問題点を解決するための手段〕

この発明に係るデータ処理装置のエラーリカバリ方法は、TLBの実アドレスに対応する一致アドレスであるTLBADをCACHに設け、<sup>T</sup>TLBとCACHの一方のキー情報を読出し中にエラーが発生した時に、他方のキー情報をアクセスする手段を設けるとともに他方の正しいキー情報を読取る手段を設け、現在アクセス中のキー情報として利用できるようにしたものである。

#### 〔作用〕

この発明においては、TLBの実アドレスに対応するTLBADをCACHに設けかつキー情報エラー発生<sup>時</sup>に、他方のキー情報を互いにアクセスする手段を設けたことにより、TLBとCACHの双方に格納されているキー情報のクロスリファレンスが可能となり、キー情報エラー発生時他方の正しいキー情報の利用を可能ならしめる。

#### 〔実施例〕

第1図はこの発明に係るデータ処理装置のエラーリカバリ方法の一実施例を説明するために用

いられる一部回路図で示したブロック図である。図において、(2)、(4)、(6)、(8)および(1a)、(2a)、(3a)、(4a)、(5a)、(6a)は第2図について説明したものと全く同じである。(REALAD)は第2図の場合と同様に実アドレスであるが、上位アドレスと下位アドレスよりなっており、これら上位アドレスと下位アドレスが合わされて主記憶装置(図示しない)へ送られる。(1B)、(5B)はこの発明で使用されるそれぞれTLB、CACHである。(7B)、(7B)はそれぞれTLB(1B)、CACH(5B)のキー情報脱出しパリティエラーフラグである。(10)はTLB(1B)のアクセスアドレス入力セクタ(SEL)、(11)はTLB(1B)のキー情報例えば(KEY)とCACH(5B)から脱出されたキー情報例えば(KEY)のいずれかを選択するセクタ(SEL)、(12)はTLB(1B)のキーエラー出力ゲート、(13)はセクタ(11)から出力されたキー情報がバリッド(有効)であるか否かを示すORゲート、(14)はTLB(1B)のキー情報エラー発生時にCACH(5B)に該当キー情報をサ

出されたキー情報がパリティエラーなく脱出されたことを示すANDゲートである。(7a)はTLB(1B)のキー情報脱出しパリティエラーフラグ(7B)のリセット信号、(8a)はCACH(5B)のキー情報脱出しパリティエラーフラグのリセット信号である。

まず、第2図に示したCACH(5A)に対し、この発明におけるCACH(5B)の特徴的な手段の一つである、実アドレスに対応するTLBアドレス情報を定義する。

(TLBAD)はTLBアドレスの略称でCACH(5B)内に設けられ、TLB(1B)内の実アドレス(REALAD)に対応するアドレスを示す。

(TV)はTLBアドレスバリッドの略称でTLBアドレス(TLBAD)が有効であることを示す。すなわち、所望のキー情報が(TLBAD)で示されるTLB(1B)内のアドレス位置に保有されていることを示す。

以上の如く定義されたこれら情報は、TLBミスヒット処理(所望の実アドレスがTLB(1B)内に

存在しない時に使用する現在アクセス中のTLB(1B)内のアドレスに対応した実アドレスと、CACH(5B)の実アドレスの一致検出回路、(15)はこの一致検出回路(14)で検出された実アドレス一致条件と、現在アクセス中のCACH(5B)の内容バリッド条件とにより、TLB(1B)から脱出された実アドレスアクセスがCACH(5B)において存在したことを表わすANDゲート、(16)はTLB(1B)から脱出された実アドレスに対応するCACH(5B)のキー情報がパリティエラーなく脱出されたことを示すANDゲート、(17)はCACH(5B)のアクセスアドレス入力セクタ(SEL)、(18)はCACH(5B)のキー情報(KEY)とTLB(1B)から脱出されたキー情報(KEY)のいずれかを選択するセクタ(SEL)、(19)はCACH(5B)のキーエラー出力ゲート、(20)はセクタ(18)から出力されたキー情報がバリッドであるか否かを示すORゲート、(21)はCACH(5B)が保有するTLB(1B)のアドレスがバリッドであることを示すANDゲート、(22)はTLB(1B)から脱

存在しない時に行う処理)において、今、アクセスしようとする論理アドレスに対応する実アドレスがTLB(1B)内に存在しない時に、主記憶装置(図示しない)に存在するアドレステーブルから取り出し、TLB(1B)内にコピーする処理中に常にメンテナンスされる。

次にこの発明に係るデータ処理装置のエラーリカバリー方法の一実施例の処理について述べる。まず、TLBアクセスの例について述べれば、TLBアクセスアドレスがアドレス入力信号線(1a)により、アクセスアドレス入力セクタ(10)を介してTLB(1B)へ送られ、TLBアドレスに対応するキーデータ(KEY)及びキーパリティ(KP)からなるキー情報がTLB(1B)から脱出される。脱出されたキー情報はパリティチェック回路(2)によってチェックされる。また、TLB(1B)のチェックタイミング条件信号(3a)とクロックからのパルス信号(2a)はANDゲート(4)によりタイミングを取られる。パリティチェック回路(2)によるチェックの結果、パリティエラーがなければキー情報

読出しパリティエラーフラグ(JB)がセットされない。キーエラー出力セレクタ(/1)はTLB(/B)のキーデータ(KEY)をセレクトし、セレクトッド TLB キーデータとしてそのまま出力する。

また、キー情報読出しパリティエラーフラグ(JB)がセットされていないため、ORゲート(/3)の出力は高レベルとなり、これはセレクトッド TLB キーデータがバリッドであることを示す。一方、パリティチェック回路(1)によるチェックの結果、パリティエラーがあれば、TLB(/B)のキー情報読出しパリティエラーフラグ(JB)がセットされ、その出力により CACH(5B)のアクセスアドレス入力セレクタ(/7)の入力が TLB(/B)から読出した実アドレス(REALAD)に切り換えられ、また TLB(/B)のセレクタ(/1)は CACH(5B)から出力されたキーデータ(KEY)をセレクトするように切り換えられる。これらの設定により TLB(/B)をアクセスする次のサイクルで TLB(/B)から出力された実アドレス(REALAD)

が高レベルとなる。また、TLB(/B)のキーエラー出力ゲート(/1)の<sup>出力</sup>ANDゲート(/6)の条件によつて禁止されるので、TLBキーエラーは出力されない。

従つて、TLB(/B)をアクセス中にキー情報にエラーが発見されたとき、その実アドレス(REALAD)に対応するキー情報を CACH(5B)で持っている場合、すなわち両方でキー情報が二重持ちされている場合は、CACH(5B)のキー情報を有効に使用することにより、マシンチェック発生による命令中断を回避してデータ処理装置の続行が可能である。なお、TLB(/B)のキー情報読出しパリティエラーフラグ(JB)は次サイクルでリセット信号(7a)によりリセットされる。

一方、CACH(5B)に今アクセスしようとする実アドレスに対応するキー情報が存在しないことにより ANDゲート(/5)の出力が Low となるか、または、CACH(5B)から読み出したキー情報にエラーが発生すれば、ANDゲート(/6)の出力は Low となり、TLB(/B)のキーバリッド(/3)は

によつて CACH(5B)がアクセスされ、CACH(5B)の実アドレスタブ(上位アドレス)(RT)と、それに対応する TLB(/B)の読み出し実アドレス(REALAD)の上位アドレスとの一致条件が一致検出回路(/4)例えば EXORゲート群によつて検出され、その一致出力と CACH(5B)のバリッドビット(Vc)とのANDがANDゲート(/5)によつて取られ、現在アクセス中の TLB(/B)の実アドレスに対応するキー情報が CACH(5B)に存在するか否かがチェックされる。もし、存在すれば、ANDゲート(/5)の出力は高レベルとなり、CACH(5B)より読出されたキー情報はパリティチェック回路(1)によつてチェックされ、パリティエラーが発生していない条件で ANDゲート(/6)の出力は高レベルとなる。この ANDゲート(/6)の出力が高レベルになると、セレクタ(/1)を通して出力されている CACH(5B)キー情報は、前サイクルでアクセスしている TLB(/B)のアドレスに対応するキー情報として使用可能であることを示し、ORゲート(/3)の出力である TLBキーバリッド

無効(Low)となる。また、同時に、TLB(/B)のキーパリティエラーフラグ(JB)の情報が、TLB(/B)のキーエラーゲート(/2)を通じマシンチェックとして報告される。

次に CACH(5A)をアクセスする場合について述べる。この場合も、前述した TLB(/B)をアクセスする時のキー情報エラーリカバリ方法と同様であるので、以下簡略化してその処理を述べる。CACH(5B)をアクセスするアドレスがアドレス入力信号線(4a)によりアクセスアドレス入力セレクタ(/7)を通じ CACH(5B)へ送られると、この CACH(5B)からキー情報が読出される。読出されたキー情報にパリティチェック回路(1)でパリティエラーが発見されると、CACH(5B)のキー情報読出しパリティエラーフラグ(7B)がセットされ、TLB(/B)のアクセスアドレス入力セレクタ(/0)の入力が CACH(5B)の出力(TLBAD)に切り換えられ、また CACH(5B)のキーデータ(KEY)を一方の入力とするセレクタ(/8)が他方の入力すなわち TLB(/B)のキーデータ(KEY)

をセレクトするように切り換えられる。これらの設定により、CACH(5B)をアクセスする次のサイクルでCACH(5B)の出力(TLBAD)によるTLB(/B)のアクセスが行なわれ、対応するキー情報がTLB(/B)から読出される。TLB(/B)のバリッドビット(V)とCACH(5B)の(TV)ビットが共に高レベル、すなわち現在アクセスしている実アドレスに対応したキー情報がTLB(/B)内に存在することを示せばANDゲート(21)の出力は高レベルになる。この高レベルとTLBキー情報読出しバリティエラー無し(19)の条件とでANDゲート(22)の出力が高レベルになるので、ORゲート(20)のCACHキーバリットが有効(高レベル)となり、またCACHキーエラー出力ゲート(19)がCACHキーエラーを出力するのを禁止される。一方、キー情報がTLB(/B)内に存在しないか、又はTLB(/B)内のキー情報にエラーが発見されると、CACH(5B)のキーエラーがANDゲート(19)を通じマシンチェックとして報告される。なお、CACH(5B)のキー情報読出しバリティエラーフ

ラグ(7B)は次のサイクルでリセット信号(8a)によりリセットされる。

#### 〔発明の効果〕

この発明はTLBの実アドレスに対応する一致アドレスをCACHに設けたので、TLBとCACHの間で二重持ちしているキー情報のクロスリファレンスができ、例えば一方のキー情報エラー発生時、他方のキー情報を相互にアクセスできるようにしたので、キー情報を容易にリカバリーできる処理方法を提供でき、データ処理装置の可用性を向上させる効果がある。

#### 4. 図面の簡単な説明

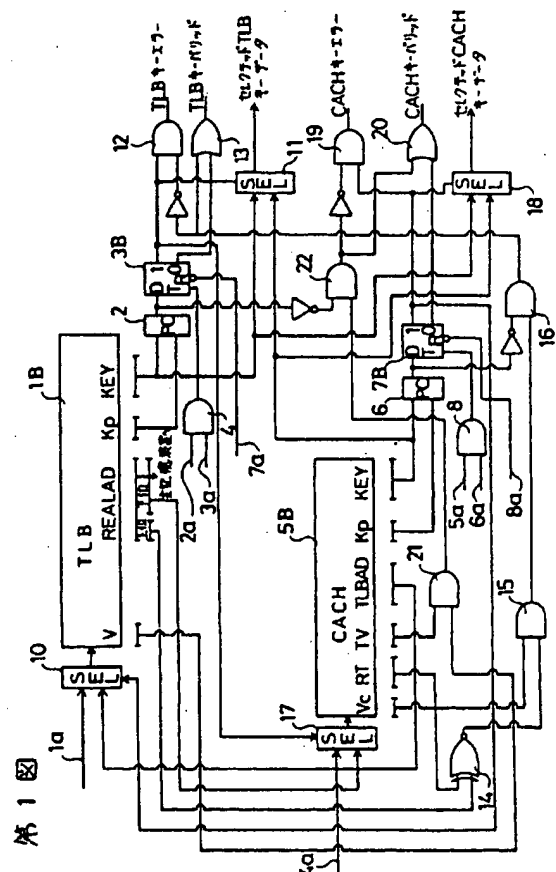
第1図はこの発明の一実施例を説明するために用いられる一部回路図で示したブロック図、第2図は従来のキー情報エラー方法を行なうために用いられる一部回路図で示されたブロック図である。

図において、(/B)はTLB、(5B)はTLB(/B)のキー情報読出しバリティエラーフラグ、(5B)はCACH、(7B)はCACH(5B)のキー情報読出しバリティエラーフラグ、(/0)はTLB(/B)のア

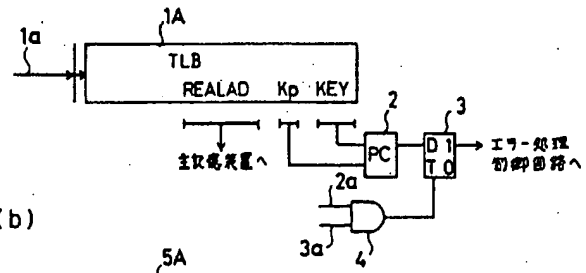
クセスアドレス入力セクタ、(/1)はTLB(/B)のセクタ、(/7)はCACH(5B)のアクセスアドレス入力セクタ、(/8)はCACH(5B)のセクタ、(/2)はTLB(/B)のキーエラー出力ゲート、(/3)はORゲート、(/9)はCACH(5B)のキーエラー出力ゲート、(20)はORゲート。

なお、図中、同一符号は同一、又は相当部分を示す。

代理人 曾 我 道 照



第2図(a)



第2図(b)

